

(19) Europäisches Patentamt

European Patent Office

Office européen des brevets



US 6,557,730

EP 0 974 847 A2

(12)

EUROPÄISCHE PATENTANMELDUNG

(43) Veröffentlichungstag:
26.01.2000 Patentblatt 2000/04

(51) Int. Cl.⁷: G01R 31/3187

(21) Anmeldenummer: 99113053.5

(22) Anmeldetag: 01.07.1999

(84) Benannte Vertragsstaaten:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE
Benannte Erstreckungsstaaten:
AL LT LV MK RO SI

(30) Priorität: 14.07.1998 DE 19831572

(71) Anmelder:
SIEMENS AKTIENGESELLSCHAFT
80333 München (DE)

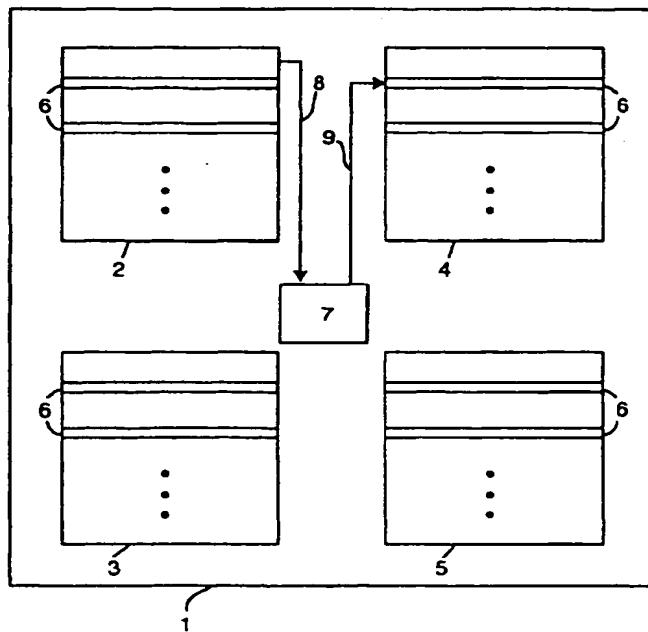
(72) Erfinder:
• Krasser, Hans-Jürgen
81737 München (DE)
• Schamberger, Florian
83435 Bad Reichenhall (DE)

(54) **Anordnung und Verfahren zum Speichern der mit einer BIST-Schaltung erhaltenen Testergebnisse**

(57) Die Erfindung betrifft eine Anordnung und ein Verfahren zum Speichern der mit einer BIST-Schaltung (7) erhaltenen Testergebnisse von einem eine Speichervorrichtung (2, 3, 4, 5) aufweisenden Halbleiterchip (1). Diese Testergebnisse werden in den Leseverstär-

kern (6) der Speichervorrichtung (2, 3, 4, 5) selbst abgespeichert, in welchen auch Testprogramme für die BIST-Schaltung (7) abgelegt werden können.

Fig. 1



Beschreibung

[0001] Die Erfindung betrifft eine Anordnung und ein Verfahren zum Speichern der mit einer BIST-Schaltung erhaltenen Testergebnisse von einem eine Speichervorrichtung aufweisenden Halbleiterchip.

[0002] Integrierte Schaltungen und speziell Speichervorrichtungen, die in einem Halbleiterchip realisiert sind, werden bekanntlich mit Hilfe einer BIST-Schaltung (BIST = Built-In-Self-Test bzw. eingebaute Selbsttestschaltung) auf ihre Funktionsfähigkeit getestet. Die Ergebnisse, die bei solchen Untersuchungen mit Hilfe der im Halbleiterchip enthaltenen BIST-Schaltung erhalten werden, werden in einem zusätzlichen SRAM (statischer RAM) auf dem Halbleiterchip abgespeichert. Mit anderen Worten, bisher wird zusätzlich auf den Halbleiterchip noch ein SRAM vorgesehen, um die von der BIST-Schaltung erhaltenen Testergebnisse abzuspeichern, bevor beispielsweise diese Ergebnisse vor Abschluß einer Testreihe ausgelesen werden.

[0003] Dieser zusätzliche SRAM benötigt Platz auf dem Speicherchip, der dann für andere Zwecke nicht genutzt werden kann. Auch ein externes Abspeichern der Testergebnisse ist wenig hilfreich, da ein solches mit zusätzlichem Aufwand verbunden ist, der schon darin begründet liegt, daß externe SRAMs gesondert kontaktiert und angeschlossen werden müssen.

[0004] Es ist daher Aufgabe der vorliegenden Erfindung, eine Anordnung und ein Verfahren zum Speichern der von einer BIST-Schaltung erhaltenen Testergebnisse zu schaffen, mit denen diese Testergebnisse ohne zusätzlichen Flächenbedarf oder externe Speichervorrichtungen abspeicherbar sind.

[0005] Diese Aufgabe wird bei einer Abordnung und einem Verfahren der eingangs genannten Art erfindungsgemäß dadurch gelöst, daß die Testergebnisse in den Leseverstärkern der Speichervorrichtung selbst abspeicherbar sind bzw. dort abgespeichert werden. Auch Testprogramme für die BIST-Schaltung können in diesen Leseverstärkern abgelegt werden.

[0006] Mit anderen Worten, die vorliegende Erfindung verwendet die ohnehin vorhandenen Leseverstärker einer in einem Halbleiterchip realisierten Speichervorrichtung zum Speichern der Testergebnisse von BIST-Schaltungen.

[0007] Damit geht die Erfindung einen vom bisherigen Stand der Technik vollkommen abweichenden Weg: anstelle eines SRAMs, der im Halbleiterchip selbst oder auch extern realisiert sein kann, werden die Leseverstärker der im Halbleiterchip realisierten Speichervorrichtung zum Abspeichern der Testergebnisse der BIST-Schaltung herangezogen. Damit kann eine nicht unerhebliche Flächeneinsparung erzielt werden: für das Abspeichern der Testergebnisse der BIST-Schaltung werden nämlich keine zusätzlichen SRAMs benötigt. Vielmehr werden die Testergebnisse in den bereits vorhandenen Leseverstärkern abgespeichert, so daß damit eine flächenneutrale Gestaltung einer Speicher-

vorrichtung möglich ist. Es ist nämlich überhaupt kein zusätzlicher Aufwand erforderlich, um diese Meßergebnisse abspeichern zu können.

[0008] Nachfolgend wird die Erfindung anhand der Zeichnung näher erläutert, in deren einziger Figur ein Blockschaltbild der erfindungsgemäßen Abordnung gezeigt ist.

[0009] Ein Halbleiterchip 1 enthält beispielsweise vier Speicherzellenfelder 2, 3, 4, 5, die jeweils mit mehreren Leseverstärkerreihen 6 versehen sind. Die Speicherzellenfelder werden durch eine BIST-Schaltung 7 auf ihre Funktionsfähigkeit getestet, wie dies durch einen Pfeil 8 veranschaulicht ist.

[0010] Bisher werden die bei diesem Test erhaltenen Meßergebnisse der BIST-Schaltung 7 in einem gesonderten SRAM abgespeichert, der entweder auf dem Halbleiterchip 1 selbst vorgesehen oder extern zu diesem angeordnet ist.

[0011] Bei der erfindungsgemäßen Anordnung bzw. bei dem erfindungsgemäßen Verfahren ist ein solcher gesonderter SRAM zum Abspeichern der Testergebnisse der BIST-Schaltung 7 nicht erforderlich. Vielmehr werden diese Testergebnisse in einem Leseverstärker 6 eines Speicherzellenfeldes, im vorliegenden Fall beispielsweise des Speicherzellenfeldes 4, abgespeichert, um dann nach Abschluß der Testreihe ausgelesen zu werden. Dies ist von besonderem Vorteil, wenn die Daten der Testergebnisse auf dem Halbleiterchip 1 weiterverarbeitet werden, wobei Speicherknoten als Zwischenspeicher oder Register dienen.

[0012] Bei der erfindungsgemäßen Anordnung bzw. bei dem erfindungsgemäßen Verfahren wird somit kein zusätzlicher Platz auf dem Halbleiterchip 1 benötigt, um die von der BIST-Schaltung erhaltenen Meßergebnisse speichern zu können. Vielmehr werden diese Meßergebnisse in Abweichung vom bisherigen Stand der Technik in den Leseverstärkern eines Speicherzellenfeldes abgelegt, das gerade von der BIST-Schaltung nicht getestet wird. Nach Abschluß des Testens des betreffenden Speicherzellenfeldes kann der die Testergebnisse speichernde Leseverstärker eines anderen Speicherzellenfeldes ausgelesen werden.

[0013] Damit wird eine vollkommen flächenneutrale Lösung des oben aufgezeigten Problems gefunden: zusätzliche SRAMs werden nicht benötigt, vielmehr können die Meßergebnisse mit Hilfe der bestehenden Möglichkeiten abgespeichert werden.

Patentansprüche

50

1. Anordnung zum Speichern der mit einer BIST-Schaltung (7) erhaltenen Testergebnisse von einem eine Speichervorrichtung (2, 3, 4, 5) aufweisenden Halbleiterchip (1), dadurch gekennzeichnet,
daß die Testergebnisse in Leseverstärkern (6) der Speichervorrichtung selbst abspeicherbar sind.

2. Anordnung nach Anspruch 1,
dadurch gekennzeichnet,
daß Testprogramme für die BIST-Schaltung (7) in
den Leseverstärkern (6) speicherbar sind.

5

3. Verfahren zum Speichern der mit einer BIST-Schaltung (7) erhaltenen Testergebnisse von einem eine Speichervorrichtung (2, 3, 4, 5) aufweisenden Halbleiterchip (1),
dadurch gekennzeichnet,
daß die Testergebnisse in Leseverstärkern (6) der Speichervorrichtung (2, 3, 4, 5) abgespeichert werden.

10

4. Verfahren nach Anspruch 3,
dadurch gekennzeichnet,
daß Testprogramme für die BIST-Schaltung (6) in den Leseverstärkern gespeichert werden.

15

5. Verwendung der Leseverstärker (6) einer in einem Halbleiterchip (1) realisierten Speichervorrichtung (2, 3, 4, 5) zum Speichern der Testergebnisse und/oder Testprogramme einer BIST-Schaltung (7).

20

25

30

35

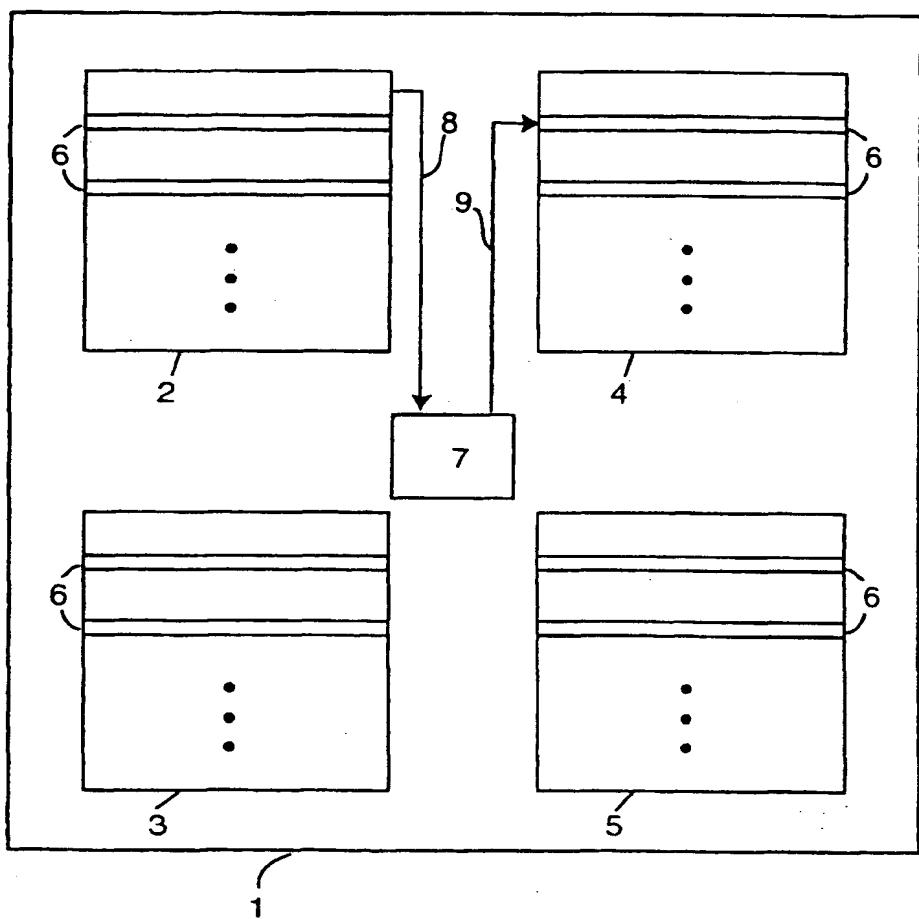
40

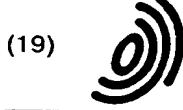
45

50

55

Fig. 1





(19) Europäisches Patentamt

European Patent Office

Office européen des brevets



(11) EP 0 974 847 A3

(12)

EUROPÄISCHE PATENTANMELDUNG

(88) Veröffentlichungstag A3:
20.12.2000 Patentblatt 2000/51

(51) Int. Cl.⁷: G01R 31/3187, G06F 11/22,
G06F 11/00, G11C 29/00

(43) Veröffentlichungstag A2:
26.01.2000 Patentblatt 2000/04

(21) Anmeldenummer: 99113053.5

(22) Anmeldetag: 01.07.1999

(84) Benannte Vertragsstaaten:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE
Benannte Erstreckungsstaaten:
AL LT LV MK RO SI

(30) Priorität: 14.07.1998 DE 19831572

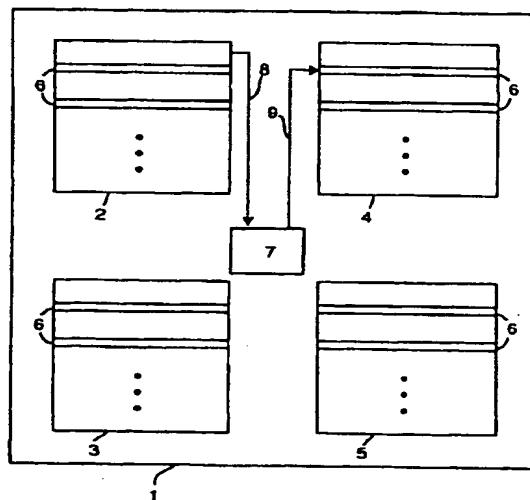
(71) Anmelder:
SIEMENS AKTIENGESELLSCHAFT
80333 München (DE)

(72) Erfinder:
• Krasser, Hans-Jürgen
81737 München (DE)
• Schamberger, Florian
83435 Bad Reichenhall (DE)

(54) **Anordnung und Verfahren zum Speichern der mit einer BIST-Schaltung erhaltenen Testergebnisse**

(57) Die Erfindung betrifft eine Anordnung und ein Verfahren zum Speichern der mit einer BIST-Schaltung (7) erhaltenen Testergebnisse von einem eine Speichervorrichtung (2, 3, 4, 5) aufweisenden Halbleiterchip (1). Diese Testergebnisse werden in den Leseverstärkern (6) der Speichervorrichtung (2, 3, 4, 5) selbst abgespeichert, in welchen auch Testprogramme für die BIST-Schaltung (7) abgelegt werden können.

Fig. 1





Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 99 11 3053

EINSCHLÄGIGE DOKUMENTE									
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betritt Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.7)						
X	EP 0 831 401 A (NIPPON ELECTRIC CO) 25. März 1998 (1998-03-25) * Zusammenfassung; Ansprüche 1-10; Abbildungen 1-3 *	1-5	G01R31/3187 G06F11/22 G06F11/00 G11C29/00						
X	US 5 644 578 A (OHSAWA TOSHIMI) 1. Juli 1997 (1997-07-01) * Zusammenfassung; Anspruch 1 *	1-5							
X	US 5 568 437 A (JAMAL KAMRAN) 22. Oktober 1996 (1996-10-22) * Zusammenfassung; Ansprüche 1,2; Abbildungen 5B,,5C *	1-5							
A	US 5 659 551 A (HUOTT WILLIAM VINCENT ET AL) 19. August 1997 (1997-08-19) * Zusammenfassung; Ansprüche 1-4 *	1-5							
RECHERCHIERTE SACHGEBiete (Int.Cl.7)									
G06F G11C									
<p>Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 33%;">Recherchenart</td> <td style="width: 33%;">Abschlußdatum der Recherche</td> <td style="width: 34%;">Prüfer</td> </tr> <tr> <td>DEN HAAG</td> <td>26. Oktober 2000</td> <td>Sarasua, L.</td> </tr> </table> <p>KATEGORIE DER GENANNTEN DOKUMENTE</p> <p>X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichttechnische Offenbarung P : Zwischenliteratur</p> <p>T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument</p> <p>& : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</p>				Recherchenart	Abschlußdatum der Recherche	Prüfer	DEN HAAG	26. Oktober 2000	Sarasua, L.
Recherchenart	Abschlußdatum der Recherche	Prüfer							
DEN HAAG	26. Oktober 2000	Sarasua, L.							

**ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT
ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.**

EP 99 11 3053

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten europäischen Recherchenbericht angeführten Patentdokumente angegeben.

Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am

Diese Angaben dienen nur zur Orientierung und erfolgen ohne Gewähr.

26-10-2000

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 0831401 A	25-03-1998	JP	10098157 A	14-04-1998
		AU	3838397 A	26-03-1998
		CA	2216054 A	20-03-1998
		US	5872738 A	16-02-1999
US 5644578 A	01-07-1997	JP	8313591 A	29-11-1996
		KR	197636 B	15-06-1999
US 5568437 A	22-10-1996	KEINE		
US 5659551 A	19-08-1997	US	5633877 A	27-05-1997
		US	5805789 A	08-09-1998
		US	5661732 A	26-08-1997

DOCKET NO: J&R-0694

SERIAL NO: 09/922,479

APPLICANT: Zettler

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100